

REC'D 25 NOV 2003

WIPO

PCT

PCT/KR 03/02346

KR/KR 04.11.2003

Rec'd PCT/PTO 11 JAN 2005

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0068108  
Application Number

출원년월일 : 2002년 11월 05일  
Date of Application NOV 05, 2002

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

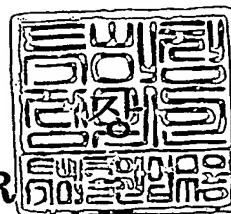
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 04 일

특 허 청

COMMISSIONER



BEST AVAILABLE COPY

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.11.05
【발명의 명칭】	박막 트랜지스터 어레이 기판
【발명의 영문명칭】	a thin film transistor array panel
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	이수경
【성명의 영문표기】	LEE,SU GYEONG
【주민등록번호】	761004-2673911
【우편번호】	151-860
【주소】	서울특별시 관악구 신림9동 1546-10번지 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	강숙영
【성명의 영문표기】	KANG,SOOK YOUNG
【주민등록번호】	740127-2675012
【우편번호】	137-773
【주소】	서울특별시 서초구 서초2동 우성아파트 501동 1713호
【국적】	KR
【발명자】	
【성명의 국문표기】	강명구
【성명의 영문표기】	KANG,MYUNG KOO

【주민등록번호】	710922-1009020
【우편번호】	138-240
【주소】	서울특별시 송파구 신천동 미성아파트 3동 205호
【국적】	KR
【발명자】	
【성명의 국문표기】	제임스 임
【성명의 영문표기】	JAMES, LM
【주소】	뉴욕주 뉴욕시 114번가 520더블유
【국적】	US
【발명자】	
【성명의 국문표기】	김현재
【성명의 영문표기】	KIM, HYUN JAE
【주민등록번호】	680304-1042410
【우편번호】	463-905
【주소】	경기도 성남시 분당구 이매동 123번지 청구아파트 601동 903호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	14 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

박막 트랜지스터 어레이 기판에는, 절연 기판 상부에 제1 채널부와 제2 채널부를 가지는 반도체층이 다수의 화소 영역에 각각 형성되어 있다. 반도체층을 덮는 게이트 절연막 상부에는 게이트선을 포함하는 게이트 배선이 형성되어 있고, 게이트 배선을 덮는 제1 층간 절연막 상부에는 게이트선과 교차하여 화소 영역을 정의하는 데이터선을 포함하는 데이터 배선이 형성되어 있고, 데이터 배선을 덮는 제2 층간 절연막 상부에는 화소 전극이 형성되어 있다. 이때, 각각의 화소 영역에 위치하는 제1 및 제2 채널부 중 적어도 하나는 적어도 둘 이상의 폭 및 길이를 가진다.

**【대표도】**

도 1

**【색인어】**

채널부, 박막트랜지스터, 다결정규소, 레이저, 결정립, 구동능력,

**【명세서】****【발명의 명칭】**

박막 트랜지스터 어레이 기판{a thin film transistor array panel}

**【도면의 간단한 설명】**

도 1은 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판의 배치도이고,

도 2는 도 1에서 II-II'선을 따라 절단한 단면도이고,

도 3은 도 1에서 III-III' 선을 따라 절단한 단면도이고,

도 4는 도 1에서 IV-IV' 선을 따라 절단한 단면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 박막 트랜지스터 어레이 기판에 관한 것으로, 더욱 상세하게는 유기 발광 표시 장치의 한 기판으로 사용하는 박막 트랜지스터 어레이 기판에 관한 것이다.

<6> 일반적으로 유기 발광(organic electro-luminescence) 표시 장치는 형광성 유기 물질을 전기적으로 여기 발광시켜 화상을 표시하는 표시 장치로서, 정공 주입 전극(애노드)과 전자주입 전극(캐소드)과 이들 사이에 형성되어 있는 유기 발광층을 포함하고, 유기 발광층에 전하를 주입하면, 전자와 정공이 쌍을 이룬 후 소멸하면서 빛을 내는 자기발광형 표시 장치이다. 이때, 유기 발광층의 발광 효율을 향상시키기 위해 전자 수송층(ETL: Electron Transport Layer) 및 정공 수송층(HTL: Hole Transport Layer) 등을 포함하며, 전자 주입층(EIL: Electron Injecting Layer)과 정공 주입층(HIL: Hole Injecting Layer) 등을 더 포함할 수 있으며, 매트

릭스 형태로 배열되어 있는 유기 발광 셀을 구동하는 방법으로 단순 매트릭스 방식과 박막 트랜지스터를 이용한 능동 매트릭스 방식으로 분류된다.

<7> 단순 매트릭스(passive matrix) 방식이 애노드 라인과 캐소드 라인을 서로 교차하도록 배치하여 특정 화소에 대응하는 라인을 선택 구동하는 반면, 능동 매트릭스(active matrix) 방식은 각 유기 발광 셀의 애노드 전극에 구동 박막 트랜지스터와 콘덴서를 접속하여 콘덴서 용량에 의해 전압을 유지하도록 하는 구동 방식이다. 이때, 유기 발광 셀에 발광을 위한 전류를 공급하는 구동 박막 트랜지스터의 전류량은 스위칭 트랜지스터를 통해 인가되는 데이터 전압에 의해 제어되며, 스위칭 트랜지스터의 게이트와 소스는 각각 서로 교차하여 배치되어 있는 게이트 신호선(또는 스캔 라인)과 데이터 신호선에 연결된다. 따라서 게이트 신호선을 통하여 전달된 신호에 의해 스위칭 트랜지스터가 온(on)되면, 데이터 라인을 통해 구동 전압이 구동 박막 트랜지스터의 게이트에 인가되고, 구동 박막 트랜지스터를 통해 유기 발광 셀에 전류가 흘러 발광이 이루어지며, 이러한 유기 발광 셀은 R, G, B 화소별로 구비되어 칼라 화면을 구현한다.

<8> 이러한 유기 발광 표시 장치는 화소 영역 내의 구동 박막 트랜지스터의 소자 특성의 균일성(uniformity)이 최우선 조건으로 요구되고 있다. 이는 박막 트랜지스터의 소자 특성이 위치별로 차이를 보일 경우, 동일한 화상 신호에 대하여 위치

별로 서로 다른 휘도를 나타내게 되어, 결국 전체 화면의 휘도 불균일을 유발하기 때문이다.

현재 유기 발광 표시 장치의 박막 트랜지스터로 사용되고 있는 LTPS(Low Temperature Poly Silicon) 박막 트랜지스터의 제조 과정에서는 비정질 규소층을 결정화를 위하여 엑시머 레이저 열처리(ELA:Eximer Laser Annealing)를 사용하는 경우가 많다. 그런데 ELA를 이용하여 결정화된 다결정 규소층은 ELA 에너지의 편차에 따라 결정 상태가 불균일하여 박막 트랜지스터의 특성이 불균일하게 되고, 이로 인하여 어 유기 발광 표시 장치의 표시 특성이 저하된다.

#### 【발명이 이루고자 하는 기술적 과제】

- <9> 본 발명이 이루고자 하는 기술적 과제는 균일한 표시 특성을 가지는 유기 발광 표시 장치용 박막 트랜지스터 어레이 기판을 제공하는 것이다.

#### 【발명의 구성 및 작용】

- <10> 이러한 과제를 해결하기 위하여 본 발명에서는 적어도 둘 이상의 폭 및 길이를 가지는 채널부를 가지는 반도체층을 포함하는 구동 박막 트랜지스터가 각각의 화소 영역에 배치되어 있다.
- <11> 더욱 상세하게, 본 발명에 따른 박막 트랜지스터 어레이 기판에는, 다수의 화소 영역을 가지는 절연 기판 상부에 제1 채널부와 제2 채널부를 가지는 반도체층이 다수의 화소 영역에 각각 형성되어 있다. 반도체층을 덮는 게이트 절연막 상부에는 게이트선을 포함하는 게이트 배선이 형성되어 있고, 게이트 배선을 덮는 제1 층간 절연막 상부에는 게이트선과 교차하여 화소 영역을 정의하는 데이터선을 포함하는 데이터 배선이 형성되어 있고, 데이터 배선을 덮는 제2 층간 절연막 상부에는 화소 전극이 형성되어 있다. 이때, 각각의 화소 영역에 위치하는 제1 및 제2 채널부 중 적어도 하나는 적어도 둘 이상의 폭 및 길이를 가진다.

- 2> 이러한 본 발명에 따른 박막 트랜지스터 어레이 기판에는, 화소 전극 위에 형성되어 있는 격벽 및 격벽에 의하여 구획된 각 영역 안에 형성되어 있는 유기 발광층을 더 포함한다.
- 3> 여기서, 반도체층은 제1 채널부를 가지는 제1 반도체부와 상기 제2 채널부를 가지는 제2 반도체부와 유지 전극부를 포함하고, 게이트 배선은 제1 및 제2 채널부 및 유지 전극부와 각각 중첩하는 제1 및 제2 게이트 전극 및 유지 전극을 포함하고, 데이터 배선은 제1 및 제2 데이터선, 제1 데이터선 및 제1 반도체부의 소스 영역과 연결되어 있는 제1 소스 전극, 제1 반도체부의 드레인 영역 및 제2 게이트 전극과 연결되어 있는 제1 드레인 전극, 제2 데이터선 및 제2 반도체부의 소스 영역과 연결되어 있는 제2 소스 전극 및 제2 반도체부의 드레인 영역 및 화소 전극과 연결되어 있는 제2 드레인 전극을 포함한다.
- 14> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- 15> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- 16> 그러면 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판에 대하여 설명한다.



- 17> 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 어레이 기판의 배치도이고, 도 2는 도 1에서 II-II'선을 따라 절단한 단면도이고, 도 3은 도 1에서 III-III'선을 따라 절단한 단면도이고, 도 4는 도 1에서 IV-IV' 선을 따라 절단한 단면도이다.
- 18> 절연 기판(110) 위에 다결정 규소로 이루어진 반도체층이 형성되어 있다. 반도체층은 스위칭 박막 트랜지스터의 반도체부(140), 구동 박막 트랜지스터의 반도체부(142) 및 유지 전극부(146)를 포함한다. 반도체부(140, 142)는 양측에 위치하며 n형 또는 p형 불순물로 도핑되어 있는 소스 영역(1403, 1423) 및 드레인 영역(1405, 1425)과 이들 사이에 각각 배치되어 있는 스위칭 채널부(1402, 1404) 및 구동 채널부(1422)를 가진다. 본 발명의 실시예에서 구동 박막 트랜지스터의 소스 및 드레인 영역(1423, 1425)은 p형의 불순물로 도핑되어 있으며, 스위칭 박막 트랜지스터의 소스 및 드레인 영역(1403, 1405)은 n형의 불순물로 도핑되어 있다. 이때, 각각의 화소 영역에 배치되어 있는 구동 채널부(1422)는 서로 다른 폭(w1, w2, w3, w4, w5, w6) 및 길이(d1, d2, d3, d4, d5, 6d)를 가진다.
- <19> 다결정 규소층(140, 142, 146)의 하부에는 산화 규소 또는 질화 규소로 이루어진 차단층이 형성될 수 있다.
- <20> 다결정 규소층(140, 142, 146) 위에는 산화 규소 또는 질화 규소로 이루어진 게이트 절연막(130)이 형성되어 있다.
- <21> 게이트 절연막(130) 위에 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금 등과 같이 저저항을 가지는 단일막 또는 이를 포함하는 다층막으로 이루어져 있는 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(121) 및 게이트선(121)에 연결되어 있으며 스위칭 채널부(1402, 1404)와 중첩하는 스위칭 전극부(1231, 1232)를 가지는 제1 게이트 전극(123)을 포함한다. 또한, 게이트 배선은 게이트선(121)으로부터 분리되어 있으며 구

동 채널부(1422)와 중첩하는 제2 게이트 전극(122)과 세로 방향으로 뻗어 있으며 유지 전극부(146)와 중첩하는 유지 전극(124)을 포함한다. 게이트 배선(121, 122, 123, 124)은 게이트선(121)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드를 더 포함할 수 있다. 여기서, 유지 전극(124)은 유지 전극부(146) 또는 이후에 형성되는 제2 데이터선(172)은 중첩하여 유지 축전기를 이룬다. 여기서, 게이트 배선(121, 122, 123, 124)이 다층막인 경우에는 다른 물질과 접촉 특성이 우수한 패드용 물질을 포함할 수 있다.

<22> 게이트 배선(121, 122, 123, 124)의 위에는 질화 규소 또는 산화 규소 또는 유기 절연 물질로 이루어진 제1 층간 절연막(180)이 형성되어 있다.

<23> 제1 층간 절연막(180) 상부에는 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금 등과 같이 저저항을 가지는 단일막 또는 이를 포함하는 다층막으로 이루어진 제1 및 제2 데이터 배선이 형성되어 있다. 제1 데이터 배선은 세로 방향으로 형성되어 게이트선(121)과 교차하여 화소 영역을 정의하는 제1 데이터선(171), 제1 데이터선(171)에 연결되어 있으며 스위칭 박막 트랜지스터의 반도체부(140) 상부에 위치하는 제1 소스 전극(173) 및 제1 소스 전극(173)과 분리되어 제1 게이트 전극(123)에 대하여 제1 소스 전극(173)의 반대쪽 스위칭 박막 트랜지스터의 반도체부(140) 상부에 위치하는 제1 드레인 전극(175)을 포함한다. 제2 데이터 배선은 세로 방향으로 뻗어 있으며 유지 전극(124)과 중첩되어 있는 제2 데이터선(172), 제2 데이터선(172)에 연결되어 있으며 구동 박막 트랜지스터의 반도체부(142)의 상부까지 연장되어 있는 제2 소스 전극(174), 및 제2 소스 전극(174)과 분리되어 제2 게이트 전극(122)에 대하여 제2 소스 전극(174)의 반대쪽 구동 박막 트랜지스터의 반도체부(142) 상부에 위치하며 제2 드레인 전극(176)을 포함한다. 도면으로 나타나지 않았지만, 제1 및 제2 데이터 배선은 제1 및 제2 데

이터션(171, 172)에 연결되어 있으며, 외부로부터 전기적인 신호를 전달받아 제1 및 제2 데이터선(171, 172)에 전달하는 데이터 패드를 각각 포함할 수 있다. 이때, 제1 소스 및 제1 드레인 전극(173, 175)은 제1 층간 절연막(180) 및 게이트 절연막(130)의 제1 및 제2 접촉구(1803, 1805)를 통하여 스위칭 박막 트랜지스터의 반도체부(140)의 소스 및 드레인 영역(1403, 1405)과 각각 연결되어 있다. 제2 소스 및 제2 드레인 전극(174, 176)은 제1 층간 절연막(180) 및 게이트 절연막(130)의 제3 및 제4 접촉구(1823, 1825)를 통하여 구동 박막 트랜지스터의 반도체부(142)의 소스 및 드레인 영역(1423, 1425)과 각각 연결되어 있다.

<24> 데이터 배선(171, 172, 173, 174, 175, 176) 위에는 제2 층간 절연막(185)이 형성되어 있고, 제2 층간 절연막(185) 위에는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 투명 도전 물질로 이루어진 화소 전극(192)이 형성되어 있다. 화소 전극(192)은 제2 층간 절연막(185)의 제5 접촉 구멍(1855)을 통하여 제2 드레인 전극(176)과 연결되어 있다.

<25> 본 발명의 실시예에 따른 유기 발광 표시 장치용 박막 트랜지스터 어레이 기판에는 도면으로 나타나지는 않았지만, 화소 전극(192)의 위에 형성되어 있으며, 유기 물질로 이루어진 화소 영역 격벽과 격벽에 의하여 구획되어 있는 각 화소 영역의 화소 전극(192) 위에 형성되어 있는 적색, 녹색, 청색의 유기 발광층을 가진다.

<26> 이러한 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판에서는 앞에서 설명한 바와 같이 각각의 화소 영역에 배치되어 있는 구동 박막 트랜지스터의 구동 채널부(1422)는 서로 다른 폭(w1, w2, w3, w4, w5, w6) 및 길이(d1, d2, d3, d4, d5, d6)를 가지고 있다. 이렇게 구동 박막 트랜지스터의 구동 채널부의 폭 및 길이를 다양하게 변화시킴으로써 구동 박막 트랜지스터의 구동 능력을 다양하게 변화시킬 수 있으며, 이러한 구동 박막 트랜지스터를 국부적으로 또는 전면적으로 배치함으로써 비정질 규소층을 다결정 규소층으로 엑시머 레이저 열처리

(ELA:Eximer Laser Annealing) 공정 또는 순차적 고상 결정 공정(sequential lateral solidification)에서 레이저 에너지의 편차로 인하여 줄무늬로 나타나는 화질의 불균일을 방지할 수 있다. 특히, 레이저 조사시 분할 조사 영역 사이의 경계부에서 레이저 에너지가 편차가 발생하더라도 구동 박막 트랜지스터의 구동 능력을 다양하기 때문에 레이저 에너지의 편차에 의한 화질의 불균일은 나타나지 않는다.

- 27> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

#### 【발명의 효과】

- 28> 이상과 같이 구동 박막 트랜지스터의 채널부의 폭 및 길이를 다양하게 설계함으로써 구동 박막 트랜지스터의 구동 능력을 다양하게 형성함으로써 레이저 분할 조사 영역간의 결정립이 불균일하더라도, 이로 인하여 화질이 불균일하게 표시되는 것을 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

다수의 화소 영역을 가지는 절연 기판,

상기 기판 위의 화소 영역에 각각 형성되어 있으며, 제1 채널부와 제2 채널부를 가지는 반도체층,

상기 반도체층을 덮는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있으며, 게이트선을 포함하는 게이트 배선,

상기 게이트 배선 위에 형성되어 있는 제1 층간 절연막,

상기 제1 층간 절연막 위에 형성되어 있으며, 상기 게이트선과 교차하여 상기 화소 영역을 정의하는 데이터선을 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있는 제2 층간 절연막,

상기 제2 층간 절연막 위에 형성되어 있는 화소 전극,

을 포함하는 박막 트랜지스터 어레이 기판에 있어서,

각각의 상기 화소 영역에 위치하는 상기 제1 및 제2 채널부 중 적어도 하나는 적어도 둘 이상의 폭 및 길이를 가지는 박막 트랜지스터 어레이 기판.

**【청구항 2】**

제1항에서,

상기 화소 전극 위에 형성되어 있는 격벽 및

상기 격벽에 의하여 구획된 영역 안에 형성되어 있는 유기 발광층

을 더 포함하는 박막 트랜지스터 어레이 기판.

**【청구항 3】**

제2항에서,

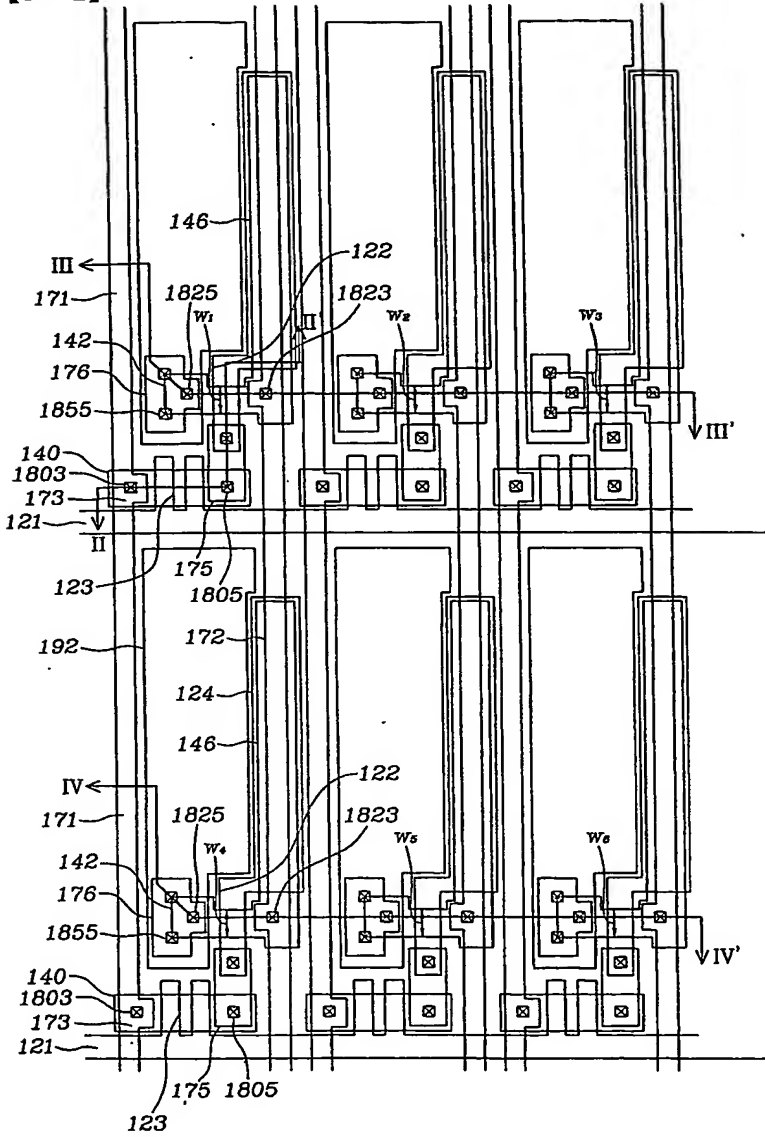
상기 반도체층은 상기 제1 채널부를 가지는 제1 반도체부와 상기 제2 채널부를 가지는 제2 반도체부와 유지 전극부를 포함하고,

상기 게이트 배선은 상기 제1 및 제2 채널부 및 유지 전극부와 각각 중첩하는 제1 및 제2 게이트 전극 및 유지 전극을 포함하고,

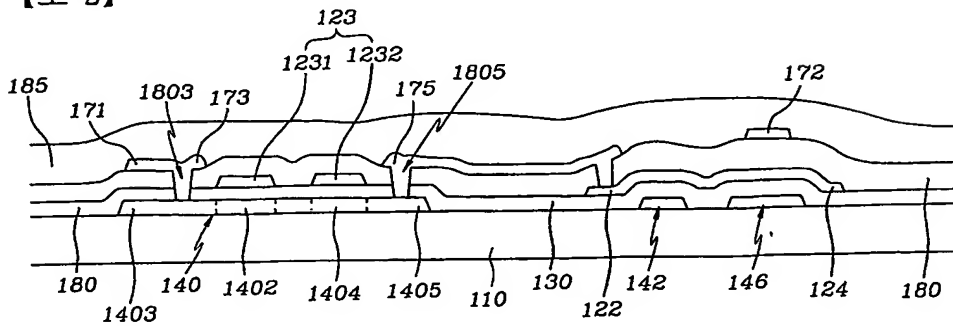
상기 데이터 배선은 제1 및 제2 데이터선, 상기 제1 데이터선 및 상기 제1 반도체부의 소스 영역과 연결되어 있는 제1 소스 전극, 상기 제1 반도체부의 드레인 영역 및 상기 제2 게이트 전극과 연결되어 있는 제1 드레인 전극, 상기 제2 데이터선 및 상기 제2 반도체부의 소스 영역과 연결되어 있는 제2 소스 전극 및 상기 제2 반도체부의 드레인 영역 및 상기 화소 전극과 연결되어 있는 제2 드레인 전극을 포함하는 박막 트랜지스터 어레이 기판.

【도면】

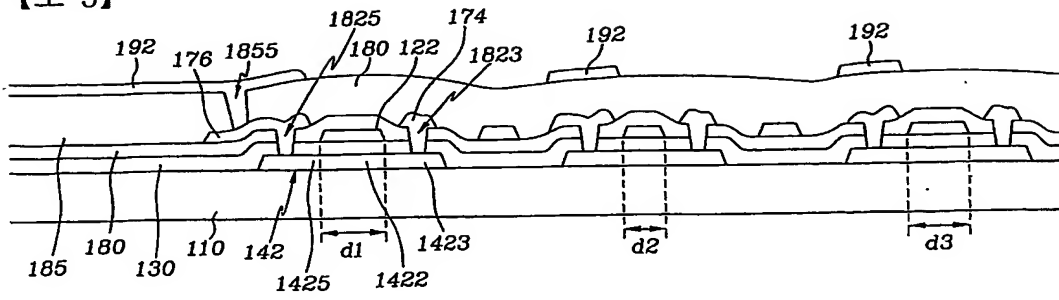
【도 1】



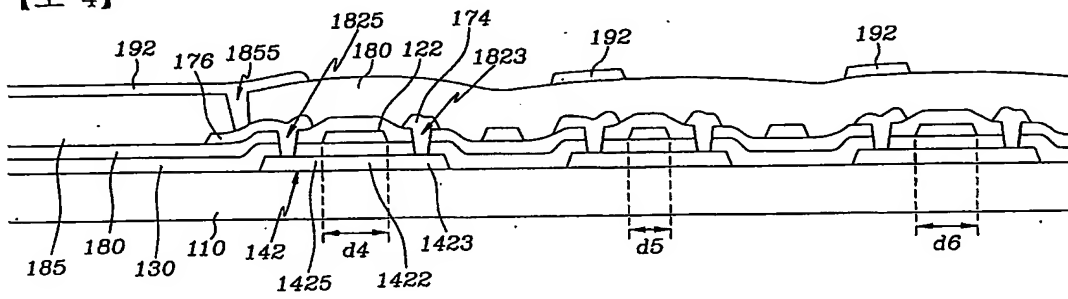
【도 2】



【도 3】



【도 4】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**